

KOMISIJI ZA STUDIJE II STEPENA ELEKTROTEHNIČKOG FAKULTETA U BEOGRADU

Komisija za studije II stepena Elektrotehničkog fakulteta u Beogradu, na svojoj sednici održanoj 30.09.2014. godine, imenovalo nas je u Komisiju za pregled i ocenu master rada kandidata Miloša Đokića, dipl. inž. Elektrotehnike i računarstva, pod naslovom „Implementacija provere ispravnosti IP zaglavlja i segmentacije IP paketa za 10G portove rutera“. Nakon pregleda materijala komisija podnosi sledeći

IZVEŠTAJ

1. Biografski podaci o kandidatu

Miloš Đokić je rođen 24. jula 1988. godine u Beogradu. Završio je Petnaestu beogradsku gimnaziju – prirodno matematički smer. Elektrotehnički fakultet Univerziteta u Beogradu upisao je 2007. godine. Diplomirao je 2013. godine na odseku Telekomunikacije i informacione tehnologije, smer Sistemsko inženjerstvo. Master studije na Elektrotehničkom fakultetu u Beogradu, smer Sistemsko inženjerstvo i radio komunikacije, upisao je 2013. godine.

2. Opis master rada

Master rad obuhvata 27 strana, sa ukupno 17 slika, 1 tabelom i 7 referenci. Unutar rada se nalaze i programski kodovi najvažnijih delova realizovane implementacije. Rad sadrži uvod, 3 poglavlja, zaključak (ukupno pet poglavlja) i literaturu. Predmet rada je hardverska implementacija provere ispravnosti IP zaglavlja i segmentacije IP paketa za 10G portove rutera. Realizovane funkcionalnosti spadaju u obavezne funkcije paketskog procesiranja koje današnji Internet ruteri moraju da implementiraju. Implementacija je realizovana programskim kodom u VHDL jeziku. Realizovana implementacija je namenjena 10G portovima koji su danas uobičajeni u praksi. S obzirom na brzinu 10G portova, realizovana implementacija je morala da bude pažljivo osmišljena da bi se podržale 10G brzine procesiranja. Pri tome je interfejs preko koga se prima IP paket standardni 64-bitni interfejs koji radi na taktu od 156.25MHz. Dizajn je kompajliran u ISE razvojnom okruženju za razvoj dizajna za FPGA čipove proizvođača Xilinx. Rezultat kompajliranja je pokazao da realizovana implementacija troši skromne hardverske resurse i postiže zahtevanu brzinu takta neophodnu za rad na 10G portovima. Za simuliranje ponašanja i verifikaciju dizajna upotrebljen je ISim simulator. Verifikacija dizajna je izvršena analizom različitih scenarija u kojima su testirani i ispravni i neispravni paketi. Kompletan programski kod implementacije, kao i kod korišćen pri verifikaciji, priložen je na CD-u zbog obima koda.

U uvodnom poglavlju opisana je uloga IP rutera, kao i paketsko procesiranje koje vrše ruteri. Izložen je cilj teze, kao i struktura ostatka teze po poglavljima.

U drugom poglavlju su opisane funkcije provere ispravnosti IPv4 paketa i segmentacije IP paketa na ćelije fiksne dužine.

U trećem poglavlju je dat opis realizovane implementacije. Detaljno je opisan rad realizovane implementacije, kao i ulazni i izlazni signali realizovanog dizajna. Potom su detaljno objašnjena dva osnovna bloka dizajna – blok za proveru ispravnosti IP zaglavlja i blok za segmentaciju IP paketa, pri čemu je objašnjeno povezivanje ova dva bloka i signali koji se koriste za povezivanje. Prilikom objašnjenja su dati najbitniji delovi koda, kao i shematski prikazi rada čime je dobijeno na kvalitetu objašnjenja.

U četvrtom poglavlju je opisan proces verifikacije realizovanog dizajna. Izloženi su detaljno svi analizirani scenariji, uz prikaz vremenskih dijagrama kojima je potvrđen ispravan rad realizovanog dizajna. Takođe, dat je tabelarni pregled performansi koji potvrđuje efikasnost realizovanog dizajna u pogledu zauzetih hardverskih resursa.

Na kraju teze je izložen zaključak koji sumira rezultate rada, izlaže potencijalne primene realizovanog rešenja i navodi uslove pod kojima se rešenje može dodatno optimizovati. Na kraju rada data je literatura, sa 7 referenci, koja je korišćena prilikom izrade master rada.

3. Analiza rada sa ključnim rezultatima


Master rad Miloša Đokića, dipl. inž. Elektrotehnike i računarstva, bavi se hardverskom implementacijom provere ispravnosti IP zaglavlja i segmentacije IP paketa za 10G portove. Osnovni doprinosi rada su: 1) hardverska implementacija provere ispravnosti IP zaglavlja i segmentacije IP paketa koja podržava 10G portove; 2) realizovana implementacija podržava bilo koje poravnanje na nivou bajta na 64-bitnoj magistrali prilikom prijema IP paketa; 3) realizovana implementacija troši skromne hardverske resurse čime omogućava implementaciju i drugih funkcija paketskog procesiranja na istom čipu; 4) implementacija je portabilna i bez izmena u kodu se može iskoristiti i na FPGA čipovima drugih proizvođača.

4. Zaključak i predlog

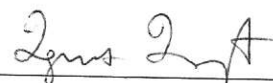
Kandidat Miloš Đokić, dipl. inž. elektrotehnike, je u svom master radu uspešno realizovao hardversku implementaciju provere ispravnosti IP zaglavlja i segmentacije IP paketa za 10G portove. Miloš je pokazao veliku samostalnost i snalažljivost u radu, efikasno i brzo je rešio zadati problem i kreirao kvalitetnu, efikasnu i optimizovanu implementaciju. Realizovana implementacija može da se iskoristi na 10G portovima rutera za kvalitetno obavljanje osnovnih funkcija paketskog procesiranja. Na osnovu izloženog, Komisija predlaže Komisiji za studije II stepena Elektrotehničkog fakulteta u Beogradu da rad kandidata Miloša Đokića, dipl. inž. elektrotehnike, prihvati kao master rad i kandidatu odobri javnu usmenu odbranu.

Beograd, 17.11.2014. godine

Komisija:



Dr Zoran Čiča, docent



Dr Dejan Drajić, docent